

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SEO-MIN SEO, ET AL.

Application No.:

Filed:

For: **SEMICONDUCTOR MEMORY
DEVICE AND METHOD FOR
FABRICATING THE SAME**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

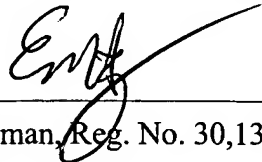
Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2003-0005496	28 January 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP



Eric S. Hyman, Reg. No. 30,139

Dated: December 30, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0005496
Application Number

출원년월일 : 2003년 01월 28일
Date of Application JAN 28, 2003

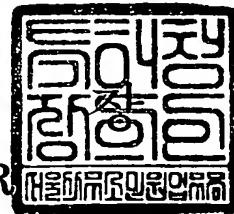
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2003.01.28
【발명의 명칭】	반도체 메모리소자 및 그 제조 방법
【발명의 영문명칭】	SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR FABRICATING THEREOF
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	김서민
【성명의 영문표기】	KIM,Seo Min
【주민등록번호】	700314-1024321
【우편번호】	139-230
【주소】	서울특별시 노원구 하계동 347번지 미성아파트 5동 1306호
【국적】	KR
【발명자】	
【성명의 국문표기】	복철규
【성명의 영문표기】	BOK,Cheol Kyu
【주민등록번호】	640725-1066613
【우편번호】	120-103
【주소】	서울특별시 서대문구 홍은3동 7/1 204-8
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 특허법인 신성 (인)



1020030005496

출력 일자: 2003/10/29

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 13 면 13,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 0 항 0 원

【합계】 42,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 캐패시터 절연막의 높이 증가없이 캐패시터 콘택홀의 크기를 향상시켜 전하저장용량을 증가시킬 수 있는 반도체 메모리소자 및 그 제조 방법을 제공하기 위한 것으로, 이를 위해 본 발명은, 기판 상에 배치된 복수의 플러그; 상기 복수의 플러그 상에 형성된 제1절연막; 상기 제1절연막을 관통하여 상기 복수의 플러그 중 제1플러그에 전기적으로 연결된 제1전도막; 상기 제1절연막을 관통하여 상기 복수의 플러그 중 상기 제1플러그에 인접한 제2플러그 상에 형성되며, 상기 제1절연막 및 상기 제1전도막과 실질적으로 평탄화된 제1캐패시터; 상기 제1캐패시터 및 상기 제1전도막 상에 형성된 제2절연막; 상기 제2절연막을 관통하여 상기 제1전도막 상에 상기 제1전도막과 전기적으로 연결되도록 형성된 제2캐패시터; 및 상기 제2절연막을 관통하여 상기 제1캐패시터에 전기적으로 연결되며, 상기 제2캐패시터 및 상기 제2절연막과 실질적으로 평탄화된 제2전도막을 포함하는 반도체 메모리소자를 제공한다.

또한, 본 발명은 상기 반도체 메모리소자 제조 방법을 제공한다.

【대표도】

도 3

【색인어】

캐패시터, 저하저장용량, 다층 구조, 레티클.

【명세서】

【발명의 명칭】

반도체 메모리소자 및 그 제조 방법{SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR FABRICATING THEREOF}

【도면의 간단한 설명】

도 1a 내지 도 1d는 종래기술에 따른 반도체소자의 캐패시터 형성 공정을 도시한 공정도.

도 2a 내지 도 2i는 본 발명의 일실시예에 따른 반도체소자의 캐패시터 형성 공정을 도시한 공정도.

도 3은 본 발명의 일실시예에 따른 반도체 메모리소자를 도시한 평면 및 단면도.

도 4는 제1캐패시터 및 제1전도막 형성 영역을 정의하기 위한 레티클을 도시한 평면도.

* 도면의 주요부분에 대한 부호의 설명 *

20 : 기판 21 : 플러그

22 : 제1절연막 26b : 제1전극

26c : 제1전도막 27b : 제1유전체막

28b : 제2전극 Cap1 : 제1캐패시터

29 : 제2절연막 33b : 제3전극

33c : 제2전도막 34b : 제2유전체막

35b : 제4전극 Cap2 : 제2캐패시터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <13> 본 발명은 반도체소자 및 그 제조방법에 관한 것으로, 특히 반도체 메모리소자의 캐패시터와 그 형성방법에 관한 것이다.
- <14> 반도체소자의 셀 사이즈가 미세화됨에 따라 필요한 전하저장용량을 확보하기 위하여 다양한 방향에서의 기술 개발이 이루어지고 있다. 이러한 전하저장용량을 확보하기 위한 노력들 중 하나가 캐패시터의 형상을 3차원 구조로 형성하는 것으로, 이러한 3차원 형상의 캐패시터의 대표적인 예로 오목형(Concave) 구조의 캐패시터가 있다.
- <15> 또한, 그 폭은 좁아드는 반면 디자인룰의 감소에 따라 정해진 폭 내에서의 최대한의 전하저장용량을 확보하기 위해서 캐패시터의 수직 높이는 점차 증가하게 되었으며, 이러한 높이 증가에 따라 여러가지 문제가 수반되었다.
- <16> 도 1a 내지 도 1d는 종래기술에 따른 반도체소자의 캐패시터 형성 공정을 도시한 공정도로서, 이를 참조하여 통상의 캐패시터 형성 공정을 살펴본다.
- <17> 한편, 도 1a 내지 도 1d의 공정도에서 각 도의 (a)는 공정 평면도를 나타내며, 각 도의 (b)는 각 도의 (a)를 각각 a-a' 방향으로 절취한 공정 단면도이다.
- <18> 먼저, 도 1a에 도시된 바와 같이, 트랜지스터 등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(10)에 플러그(11)를 형성한다.

- <19> 여기서, 플러그(11)는 기판(10)에 형성된 소스/드레인 등의 불순물접합층 또는 콘택 패드 등과 콘택된 것으로, 캐패시터의 하부전극과 전기적으로 도통되는 콘택 플러그로서, 통상 폴리실리콘막을 이용한다.
- <20> 이어서, 플러그(11)가 형성된 전면에 층간절연용 절연막(12)을 형성한다. 절연막(12)은 TEOS(Tetra Ethyl Ortho Silicate)막 또는 HDP(High Density Plasma) 산화막 등의 통상의 실리콘산화막 계열의 물질막을 사용한다.
- <21> 도 1a의 (a)에서 평면상 원형인 네개의 플러그(11)가 격자 모양으로 배열되어 있으며, 그 상부에 절연막(12)이 형성되어 있음을 확인할 수 있다.
- <22> 여기서, 플러그(11)는 도식된 원형 뿐만이아닌 사각형이나 다각형 또는 타원형 등 다양한 형태로 형성이 가능하다.
- <23> 이어서, 도 1b에 도식된 바와 같이, 절연막(12) 상에 캐패시터의 하부전극이 형성될 캐패시터 콘택홀을 정의하기 위한 포토레지스트 패턴(13)을 형성한다.
- <24> 포토레지스트 패턴(13)은 도 1b의 (a)에 도식된 바와 같이 원형인 네개의 플러그(11) 상부에 각각 플러그(11)보다 큰 폭으로 절연막(12)을 오픈시키도록 형성한다. 여기서는 포토레지스트 패턴(13)이 절연막(12)을 타원형으로 오픈하도록 하는 형상을 갖고 있음을 알 수 있다.
- <25> 이어서, 도 1c에 도식된 바와 같이, 포토레지스트 패턴(13)을 식각마스크로 절연막(12)을 식각하여 플러그(11)를 노출시키는 오픈부 즉, 캐패시터 콘택홀을 형성한다.
- <26> 이 때, 식각된 절연막(12)의 프로파일은 절연막(12)의 두께가 낮은 경우는 어느 정도 수직한(Vertical) 모양으로 형성할 수 있지만, 반도체소자가 집적화됨에 따라 콘택홀(Contact hole)의 크기는 작아지게 되므로 절연막(12)의 높이는 더욱 더 높아지게 된다.

- <27> 따라서, 절연막(12)의 식각 프로파일은 어느 정도 기울기를 가지게 되며, 특히 콘택홀 하단(14b)으로 갈수록 갑자기 더 큰 기울기를 형성하게 된다. 결국 초기에 콘택홀의 크기로 예상하던 용량보다 더 작은 용량을 가지게 되어 다시 절연막(12)의 두께를 더 높여 난이도가 더 높은 공정으로 콘택홀을 형성해야 한다. 또한, 계속 절연막(12)을 높게 형성하는 경우 기본적으로 가지고 있는 기울기 때문에 콘택홀 상단(14a)은 어느 정도 형성되어도 하단(14b)이 작아져서 플러그(11)와 연결되지 못하는 경우도 발생하게 된다.
- <28> 도 1c의 (a)를 참조하면, 콘택홀 상단에서는 도면부호 '14a'와 같이 플러그(11) 보다 큰 폭으로 절연막(12)이 식각되어 오픈되어 있으며, 콘택홀 하단에서는 기울기를 갖는 식각 프로파일로 인해 도면부호 '14b'와 같이 플러그(11)보다 작은 폭으로 절연막(12)이 식각되어 오픈되어 있음을 확인할 수 있다.
- <29> 이어서, 도 1d에 도시된 바와 같이, 캐패시터 콘택홀이 형성된 전면에 하부전극용 전도막(15)과 유전체막(16) 및 상부전극용 전도막(17)을 차례로 증착한다.
- <30> 한편, 도면에 도시되지는 않았지만, 후속 공정으로 하부전극용 전도막(15)과 유전체막(16) 및 상부전극용 전도막(17)을 패터닝하여 상부전극/유전체막/하부전극 구조의 캐패시터를 형성한다.
- <31> 플러그(11)와 하부전극용 전도막(15) 사이에는 오믹 콘택과 하부전극 물질의 기판(10)으로의 확산을 방지하기 위한 목적으로 배리어막을 포함하는 바, 도면의 간략화를 위해 생략하였으며, 배리어막은 통상 Ti/TiSi₂/TiN 구조를 사용한다.
- <32> 전술한 바와 같이 캐패시터 콘택홀 상단에 비해 좁아진 하단으로 인해 캐패시터의 전하 저장용량은 의도했던 것에 비해 줄어든다.

<33> 한편, 이러한 용량 감소를 방지하기 위해 캐패시터 콘택홀의 크기를 더 크게하여 절연막의 높이를 상대적으로 줄이려 할 수 있으나, 이럴 경우 콘택홀 모양이 밀집되어 있어 각 콘택홀의 크기를 더 크게 할 여유 공간이 없고 무리하게 더 큰 콘택홀을 만들려고 하다가는 도 1d에서 도시된 이웃하는 콘택홀 간의 절연막의 두께(d)가 얇아져 일부 지역에서 절연막이 관통되거나 리키지(Leakage)가 커질 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<34> 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로서, 캐패시터의 전하저장용량을 증가시킬 수 있는 반도체 메모리소자를 제공하는 것을 그 목적으로 한다.

<35> 또한, 본 발명은 캐패시터 절연막의 높이 증가없이 캐패시터 콘택홀의 크기를 향상시켜 전하저장용량을 증가시킬 수 있는 반도체 메모리소자의 제조 방법을 제공하는 것을 다른 목적으로 한다.

【발명의 구성 및 작용】

<36> 상기 목적을 달성하기 위하여 본 발명은, 기판 상에 배치된 복수의 플러그; 상기 복수의 플러그 상에 형성된 제1절연막; 상기 제1절연막을 관통하여 상기 복수의 플러그 중 제1플러그에 전기적으로 연결된 제1전도막; 상기 제1절연막을 관통하여 상기 복수의 플러그 중 상기 제1플러그에 인접한 제2플러그 상에 형성되며, 상기 제1절연막 및 상기 제1전도막과 실질적으로 평탄화된 제1캐패시터; 상기 제1캐패시터 및 상기 제1전도막 상에 형성된 제2절연막; 상기 제2절연막을 관통하여 상기 제1전도막 상에 상기 제1전도막과 전기적으로 연결되도록 형성된 제2

캐패시터; 및 상기 제2절연막을 관통하여 상기 제1캐패시터에 전기적으로 연결되며, 상기 제2 캐패시터 및 상기 제2절연막과 실질적으로 평탄화된 제2전도막을 포함하는 반도체 메모리소자를 제공한다.

<37> 또한, 상기 목적을 달성하기 위한 본 발명은, 기판 상에 복수의 플러그를 형성하는 단계; 상기 복수의 플러그 상에 제1절연막을 형성하는 단계; 상기 제1절연막을 관통하여 상기 복수의 플러그 중 제1플러그에 전기적으로 연결된 제1전도막과, 상기 제1절연막을 관통하여 상기 복수의 플러그 중 상기 제1플러그에 인접한 제2플러그 상에 형성되며, 상기 제1절연막 및 상기 제1전도막과 실질적으로 평탄화된 제1캐패시터를 형성하는 단계; 상기 제1캐패시터 및 상기 제1전도막 상에 제2절연막을 형성하는 단계; 및 상기 제2절연막을 관통하여 상기 제1전도막 상에 상기 제1전도막과 전기적으로 연결되도록 제2캐패시터를 형성하며, 상기 제2절연막을 관통하여 상기 제1캐패시터에 전기적으로 연결되며 상기 제1캐패시터 및 상기 제2절연막과 실질적으로 평탄화된 제2전도막을 형성하는 단계를 포함하는 반도체 메모리소자 제조 방법을 제공한다.

<38> 본 발명은 전술한 바와 같이 캐패시터의 전하저장용량 증가를 위해 캐패시터 절연막의 수직 높이를 증가시킴에 따라 발생하는 문제점을 극복하기 위해 하기의 세가지 관점에서 접근하였다.

<39> 1). 캐패시터 절연막의 두께가 얇으면 캐패시터 콘택홀 형성을 위한 식각 과정에서 종래의 갑작스런 기울기 증가를 어느 정도 극복하고 기울기가 완만하고 거의 수직에 가까운 식각 프로파일을 얻을 수 있다.

- <40> 2). 캐패시터 콘택홀이 밀집된 구조에서 하나의 콘택홀을 작게 만들면, 인접한 캐패시터 콘택홀의 크기를 증가시킬 수 있다.
- <41> 3). 하부전극이나 상부전극의 증착에서 콘택홀의 크기와 증착 두께 등을 조절하면 그 콘택홀을 갭-필(Gap-fill) 불량없이 채울 수 있다.
- <42> 전술한 세가지 관점을 종합하여 실제 공정에 적용한다. 즉, 하나의 캐패시터 콘택홀은 작게 만들고 인접한 캐패시터 콘택홀을 크게 만든다. 이 때, 크게 만들어진 캐패시터 콘택홀에서는 제1캐패시터를 크게 만든다. 이렇게 함으로써 인접한 캐패시터 콘택홀을 크게할 수 있어 제1캐패시터 절연막의 두께를 낮출 수 있어 전하저장용량을 증가시킬 수 있다.
- <43> 또한, 상기 하나의 캐패시터 콘택홀은 하부전극 물질로 채워져 있는 바, 낮은 증착 두께를 갖는 제2캐패시터 절연막을 증착하고 제1캐패시터의 상부는 갭-필 특성에 문제가 발생하지 않을 정도로 매우 작게 오픈시키고 하나의 캐패시터 콘택홀에 하부전극 물질이 매립된 부분에서는 그 크기가 큰 캐패시터 콘택홀을 형성한 다음, 제2캐패시터를 형성한다.
- <44> 이렇듯, 인접한 두개의 캐패시터를 형성함에 있어서 2층 구조로 형성하며 이 때, 이들의 각 캐패시터 콘택홀을 크게하고 절연막의 두께를 낮출 수 있어, 전하저장용량을 증가시키면서 절연막 두께 증가에 따른 제반의 문제점을 극복할 수 있다.
- <45> 아울러, 전술한 2층 구조 뿐만이 아닌 3층 이상의 다층 구조 또한 형성이 가능하다.
- <46> 이하, 본 발명이 속하는 기술분야에서 통상의 기술을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부한 도면을 참조하여 설명한다.

- <47> 도 3은 본 발명의 일실시예에 따른 반도체 메모리소자를 도시한 평면 및 단면도이다.
- <48> 구체적으로, 도 3의 (a)는 평면도이며, 도 3의 (b)는 도 3의 (a)를 b-b' 방향으로 절취한 단면도이다.
- <49> 도 3을 참조하면, 기판(20) 상에 캐패시터 콘택을 위한 복수의 플러그(21)가 일정 간격으로 배치되어 있으며, 그 상부에 제1절연막(22)이 형성되어 있다. 제1절연막(22)을 관통하여 복수의 플러그(21) 중 제1플러그(21a)에 전기적으로 연결된 제1전도막(26c)이 형성되어 있으며, 제1절연막(22)을 관통하여 복수의 플러그(21) 중 제1플러그(21a)에 인접한 제2플러그(21b) 상에 전기적으로 연결되도록 제1캐패시터(Cap1)가 형성되어 있다. 제1절연막(22)과 제1전도막(26c) 및 제1캐패시터(Cap1)는 그 상단부가 서로 실질적으로 평탄화되어 있다.
- <50> 제1전도막(26c)과 제1캐패시터(Cap1)를 포함하는 전체 구조 상부에 제2절연막(29)이 형성되어 있으며, 제2절연막(29)을 관통하여 제1전도막(26c) 상에 제1전도막(26c)과 전기적으로 연결되도록 제2캐패시터(Cap2)가 형성되어 있으며, 제2절연막(29)을 관통하여 제1캐패시터(Cap1)에 전기적으로 연결된 제2전도막(33c)이 형성되어 있다. 제2절연막(29)과 제2전도막(33c) 및 제2캐패시터(Cap2)는 그 상단부가 서로 실질적으로 평탄화되어 있다.
- <51> 여기서, 제1캐패시터(Cap1)는 제1절연막(22)이 식각되어 형성된 오픈부를 통해 제2플러그(21b)와 접속된 제1전극(26b)과 제1전극(26b) 상에 형성된 제1유전체막(27b) 및 제1유전체막(27b) 상에 형성된 제2전극(28b)로 이루어지며, 제2캐패시터(Cap2)는 제2절연막(29)이 식각되어 형성된 오픈부를 통해 제1전도막(26c)과 접속된 제3전극(33b)과 제3전극(33b) 상에 형성된 제2유전체막(34b) 및 제2유전체막(34b) 상에 형성된 제4전극(35b)로 이루어진다.

- <52> 바람직하게, 제1전극(26b)과 제1전도막(26c)은 동일막으로 이루어지며, 제3전극(33b)과 제2전도막(33c)은 동일막으로 이루어진다.
- <53> 제1전도막(26c)의 폭은 제1캐패시터(Cap1)의 폭에 비해 상대적으로 작으며, 갭-필 불량 이 발생하지 않을 정도로 하부의 제1플러그(21a)와 전기적으로 연결될 정도의 폭만을 유지하면 된다. 따라서, 이웃하는 제1캐패시터(Cap1)의 폭은 상대적으로 크게할 수 있다.
- <54> 또한, 제2전도막(33c)의 폭은 제2캐패시터(Cap2)의 폭에 비해 상대적으로 작으며, 갭-필 불량이 발생하지 않을 정도로 하부의 제1캐패시터(Cap1)와 전기적으로 연결될 정도의 폭만을 유지하면 된다. 따라서, 이웃하는 제2캐패시터(Cap2)의 폭은 상대적으로 크게할 수 있다.
- <55> 여기서, 두 캐패시터 간의 간격은 'd'로 매우 좁아졌으나, 실제 공정에서는 약간의 경사 프로파일이 유발됨을 예측했을 때 이에 대한 공간 여유가 'e'라고 할 수 있어, 실제 두 캐패시터 간에는 'd + e'의 간격을 유지할 수 있다.
- <56> 이렇듯, 좁은 공간에서 이웃하는 두개의 캐패시터(Cap1, Cap2)의 크기를 최대로 확보할 수 있어, 제1절연막(22)의 증착 두께를 낮추면서도 원하는 전하저장용량을 확보할 수 있으며, 제1절연막(22)의 두께가 낮아 제1캐패시터(Cap1)가 형성되는 식각 단면에서의 경사 프로파일이 발생하는 현상을 어느 정도 방지할 수 있다.
- <57> 한편, 도 3의 (a)에서는 제1캐패시터(Cap1)와 제2캐패시터(Cap2)와 제1전도막(26c) 및 제2전도막(33c)의 평면 형상이 모두 원 또는 타원의 원형 형상을 갖는 것만을 도시하고 있으나, 이들 각각의 평면 형상은 이러한 원형 이외에 사각형 또는 팔각형 등의 다각형 형상을 가질 수 있다.

- <58> 여기서, 제1 및 제2캐패시터(Cap1, Cap2)의 제1 ~ 제4전극(26b, 28b, 33b, 35b)과 제1 및 제2전도막(26c, 33c)은 모두 Pt, Rh, Ru, Ir, Os, Pd, PtOx, RhOx, RuOx, IrOx, OsOx, PdOx, CaRuO₃, SrRuO₃, BaRuO₃, BaSrRuO₃, CaIrO₃, SrIrO₃, BaIrO₃, (La,Sr)CoO₃, Cu, Al, Ta, Mo, W, Au, Ag, WSix, TiSix, MoSix, CoSix, NoSix, TaSix, TiN, TaN, WN, TiSiN, TiAlN, TiBN, ZrSiN, ZrAlN, MoSiN, MoAlN, TaSiN 및 TaAlN로 이루어지는 군에서 선택되는 어느 하나 또는 그 이상의 조합물로 이루어진다.
- <59> 또한, 제1 및 제2유전체막(27b, 34b)은 BST 또는 Ta₂O₅ 등의 고유전체 또는 PZT, SBT, SBTN 또는 BLT 등의 강유전체를 포함할 수 있다.
- <60> 이하에서는 전술한 도 3의 반도체 메모리소자의 제조 공정을 상세히 살펴 본다.
- <61> 도 2a 내지 도 2i는 본 발명의 일실시예에 따른 반도체소자의 캐패시터 형성 공정을 도시한 공정도로서, 이를 참조하여 캐패시터 형성 공정을 살펴본다.
- <62> 한편, 도 2a 내지 도 2i의 공정도에서 각 도의 (a)는 공정 평면도를 나타내며, 각 도의 (b)는 각 도의 (a)를 각각 b-b' 방향으로 절취한 공정 단면도이다.
- <63> 먼저, 도 2a에 도시된 바와 같이, 트랜지스터 등의 반도체 소자를 이루기 위한 여러 요소가 형성된 기판(20)에 일정 간격을 갖는 복수의 플러그(21)를 형성한다.
- <64> 여기서, 플러그(21)는 기판(20)에 형성된 소스/드레인 등의 불순물집합층 또는 콘택 패드 등과 콘택된 것으로, 캐패시터의 하부전극과 전기적으로 도통되는 콘택 플러그로서, 통상 폴리실리콘막을 이용한다.

- <65> 이어서, 복수의 플러그(21)가 형성된 전면에 층간절연용 제1절연막(22)을 형성한다. 제1절연막(22)은 TEOS막 또는 HDP 산화막 등의 통상의 실리콘산화막 계열의 물질막을 사용하는 것이 바람직하다.
- <66> 도 2a의 (a)에서 평면상 원형인 네개의 플러그(21)가 격자 모양으로 배열되어 있으며, 그 상부에 제1절연막(22)이 형성되어 있음을 확인할 수 있다.
- <67> 여기서, 플러그(21)는 도식된 원 또는 타원의 원형 뿐만이 아닌 사각형이나 팔각형 등의 다각형 등 다양한 형태로 형성이 가능하다.
- <68> 이어서, 도 2b에 도식된 바와 같이, 제1절연막(22) 상에 캐패시터의 하부전극이 형성될 캐패시터 콘택홀을 정의하기 위한 포토레지스트 패턴(23)을 형성한다.
- <69> 포토레지스트 패턴(23)은 도 2b의 (a)에 도식된 바와 같이 원형으로 좁은 폭(하부의 플러그(21)보다 작거나 거의 비슷한 크기)을 갖으며 대각선 방향으로 위치하여 후속 제1전도막 형성을 위한 'D1'의 영역을 정의하는 부분과, 그 보다 훨씬 큰 폭(하부의 플러그(21)보다 큰 크기)을 갖으며 'D1'의 영역과 엇갈린 대각선 방향으로 위치하여 후속 제1캐패시터 형성을 위한 'C1'의 영역을 정의하는 부분을 갖는다.
- <70> 여기서는 포토레지스트 패턴(23)이 제1절연막(22)을 원형으로 오픈하도록 하는 형상을 갖고 있음을 알 수 있다.
- <71> 도 4는 제1캐패시터 및 제1전도막 형성 영역을 정의하기 위한 레티클을 도식한 평면도이다.
- <72> 즉, 전술한 도 2b의 포토레지스트 패턴(23)을 형성하기 위한 노광 공정시 도 4의 (a)와 같은 레티클을 사용할 수 있다.

- <73> 이어서, 도 2c에 도시된 바와 같이, 포토레지스트 패턴(23)을 식각마스크로 제1절연막(22)을 식각하여 플러그(21)를 노출시키는 오픈부 즉, 캐패시터 콘택홀(24)과 제1전도막 형성용 오픈부(25)를 동시에 형성한다.
- <74> 이 때, 캐패시터 콘택홀(24)의 폭을 크게 가져갈 수 있어, 제1절연막(22)의 증착 두께를 종래와 같이 높게할 필요가 없으므로 식각된 제1절연막(22)의 프로파일은 비교적 수직에 가까운 프로파일을 갖게 된다.
- <75> 즉, 도 2c의 (a)를 참조하면, 캐패시터 콘택홀(24)의 상단(24a)과 하단(24b)의 크기 차이가 거의 없으며, 또한 상단(24a)과 하단(24b) 모두 플러그(22) 보다 커 콘택 오픈 결함을 최소화할 수 있다.
- <76> 아울러, 캐패시터 콘택홀(24)의 폭을 크게하여도 인접한 곳에서는 캐패시터 콘택홀이 형성되지 않고 캐패시터 콘택홀(24) 보다 그 폭이 좁은 오픈부(25)가 형성되므로 인접하는 영역에 큰 영향을 끼치지 않는다.
- <77> 여기서, 오픈부(25)의 폭은 절연막(22)의 두께를 고려하여 후속 전도성 물질을 증착할 때, 갭-필 불량 발생하지 않을 정도의 크기만 유지하면 된다.
- <78> 이어서, 제1캐패시터의 제1전극 예컨대, 하부전극 및 제1전도막을 이를 제1물질막(26a)을 증착하여 오픈부(25)를 충분히 매립하면서 캐패시터 콘택홀(24)의 프로파일을 따라 형성되도록 한다. 이어서, 제1물질막(26a) 상에 제1유전체막(27a)을 증착한 다음, 유전체막(27a) 상에 제1캐패시터의 제2전극 예컨대, 상부전극을 이를 제2물질막(28a)을 증착한다.
- <79> 도 2d는 제1캐패시터의 제2전극용 제2물질막(28a)이 전면 증착된 공정 단면 및 평면을 나타낸다.

- <80> 이어서, 도 2e에 도시된 바와 같이, 제1절연막(22)이 노출되도록 제2물질막(28a)과 제1유전체막(27a) 및 제1물질막(26a)을 제거하는 평탄화 공정을 실시하여 제1절연막(22)을 관통하여 각각 하부의 플러그(21)에 전기적으로 연결되며 서로 평탄화된 제1전도막(26c)과 제1캐패시터(Cap1)를 형성한다. 평탄화 공정시 CMP 또는 에치백 공정을 적용 가능하다.
- <81> 여기서, 도면부호 '26b'는 제1캐패시터(Cap1)의 제1전극을, '27b'는 제1유전체막을, '28b'는 제2전극을 각각 나타낸다.
- <82> 이어서, 도 2f에 도시된 바와 같이, 평탄화된 제1캐패시터(Cap1)와 제1전도막(26c)가 평탄화되어 형성된 결과물 전면에 층간절연용 제2절연막(29)을 증착한다. 제2절연막(29)은 제1절연막(22)과 유사한 TEOS막 또는 HDP 산화막 등의 통상의 실리콘산화막 계열의 물질막을 사용하는 것이 바람직하다.
- <83> 이어서, 도 2g에 도시된 바와 같이, 제2절연막(29) 상에 제2캐패시터가 형성될 캐패시터 콘택홀을 정의하기 위한 포토레지스트 패턴(30)을 형성한다.
- <84> 포토레지스트 패턴(30)은 도 2g의 (a)에 도시된 바와 같이 원형으로 좁은 폭(하부의 플러그(21)보다 작거나 거의 비슷한 크기)을 갖고 대각선 방향으로 위치하여 제1캐패시터(Cap1)의 제2전극(28b)과 전기적으로 연결될 제2전도막 형성을 위한 'D2'의 영역을 정의하는 부분과, 그 보다 훨씬 큰 폭(하부의 플러그(21)보다 큰 크기)을 갖고 'D2'의 영역과 엇갈린 대각선 방향으로 위치하여 후속 제2캐패시터 형성을 위한 'C2'의 영역을 정의하는 부분을 갖는다.
- <85> 여기서 포토레지스트 패턴(30)이 제2절연막(29)을 원형으로 오픈하도록 하는 형상을 갖고 있음을 알 수 있다.

- <86> 즉, 전술한 도 2g의 포토레지스트 패턴(30)을 형성하기 위한 노광 공정시 도 4의 (b)와 같은 레티클을 사용할 수 있으며, 도 4의 (b)는 도 4의 (a)와 서로 역상으로 배치된 것으로 별도의 레티클을 제작하지 않고 도 2b의 공정에서 사용한 레티클을 역으로 사용할 수 있다.
- <87> 이어서, 도 2h에 도시된 바와 같이, 포토레지스트 패턴(30)을 식각마스크로 제2절연막(29)을 식각하여 제1전도막(26c)과 제1캐패시터(Cap1)의 제2전극(28b)를 각각 노출시키는 오픈부 즉, 캐패시터 콘택홀(32)과 제2전도막 형성용 오픈부(31)를 동시에 형성한다.
- <88> 이 때, 캐패시터 콘택홀(32)의 폭을 크게 가져갈 수 있어, 제2절연막(29)의 증착 두께를 종래와 같이 높게할 필요가 없으므로 식각된 제2절연막(29)의 프로파일은 비교적 수직에 가까운 프로파일을 갖게 된다.
- <89> 즉, 도 2h의 (a)를 참조하면, 캐패시터 콘택홀(32)의 상단(32a)과 하단(32b)의 크기 차이가 거의 없으며, 또한 상단(32a)과 하단(32b) 모두 하부의 제1전도막(26c) 보다 그 폭이 커 콘택 오픈 결함은 발생하지 않는다.
- <90> 아울러, 캐패시터 콘택홀(32)의 폭을 크게하여도 인접한 곳에서는 캐패시터 콘택홀이 형성되지 않고 캐패시터 콘택홀(32) 보다 그 폭이 좁은 오픈부(31)가 형성되므로 인접하는 영역에 큰 영향을 끼치지 않는다.
- <91> 여기서, 오픈부(31)의 폭은 제2절연막(29)의 두께를 고려하여 후속 전도성 물질을 증착할 때, 갭-필 불량 발생하지 않을 정도의 크기만으로 유지하면 된다.
- <92> 이어서, 제2캐패시터의 제3전극 예컨대, 하부전극 및 제2전도막을 이를 제3물질막(33a)을 증착하여 오픈부(31)를 충분히 매립하면서 캐패시터 콘택홀(32)의 프로파일을 따라 형성되

도록 한다. 이어서, 제3물질막(33a) 상에 제2유전체막(34a)을 증착한 다음, 유전체막(34a) 상에 제2캐패시터의 제4전극 예컨대, 상부전극을 이룰 제4물질막(35a)을 증착한다.

<93> 도 2i는 제2캐패시터의 제4전극용 제4물질막(35a)이 전면에 증착된 공정 단면 및 평면을 나타낸다.

<94> 이어서, 제2절연막(29)이 노출되도록 제4물질막(35a)과 제2유전체막(34a) 및 제3물질막(33a)을 제거하는 평탄화 공정을 실시하여 제2절연막(29)을 관통하여 각각 제1캐패시터(Cap1)의 제2전극(28b)과 제1전도막(26c)에 전기적으로 연결되며 서로 평탄화된 제2전도막(33c)과 제2캐패시터(Cap2)를 형성한다. 평탄화 공정시 CMP 또는 에치백 공정을 적용 가능하다.

<95> 전술한 도 3은 이러한 제1 및 제2캐패시터(Cap1, Cap2)가 형성된 공정도를 나타내며, 여기서 도면부호 '33b'는 제2캐패시터(Cap1)의 제3전극을, '34b'는 제2유전체막을, '35b'는 제4전극을 각각 나타낸다.

<96> 전술한 바와 같이 이루어지는 본 발명은 다음과 같은 장점이 있을을 알 수 있다.

<97> 1). 집적도가 증가하면 캐패시터의 하부 면적을 확보하지 못해 절연막의 두께를 낮추어야 하는데, 이러한 공정은 절연막의 두께를 높일 수록 식각 공정의 난이도는 증가하고 수율도 낮아지게 된다.

<98> 본 발명과 같이 2중 또는 3중 이상의 캐패시터 구조를 형성하여 절연막의 두께를 낮추고 각 캐패시터의 크기를 증가시킬 수 있어, 낮은 절연막의 두께에서도 쉽게 원하는 캐패시터의 전하저장용량을 얻을 수 있다.

<99> 2). 일반적으로, 낮은 전하저장용량을 보상하기 위해 사진식각 공정에서 확보할 수 있는 최대한의 크기로 캐패시터 콘택홀을 형성하는 데, 이 경우에는 캐패시터 콘택홀 간의 간격이 작아져서 리키지 및 원하지 않는 기생용량(Parastic capacitance)이 증가하게 된다.

<100> 그러나, 본 발명을 적용할 경우 캐패시터와 캐패시터 사이의 간격이 크고 사로 위 아래로 분포하고 있어 기생용량을 크게 줄일 수 있다.

<101> 3). 예컨대, 2층 구조의 캐패시터 구조를 형성할 경우 각 캐패시터의 콘택홀 형성을 위한 마스크 공정에서 사용되는 레티클의 모양이 위치만 다르고 그와 다른 것이 같으므로 별도의 레티클 제작에 따른 추가 비용이 발생하지 않는다.

<102> 이상에서 본 발명의 기술 사상을 바람직한 실시예에 따라 구체적으로 기술하였으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

<103> 상기와 같이 이루어지는 본 발명은, 별도의 추가 경비 없이 기생용량을 감소시킬 수 있고, 전하저장용량을 증가시킬 수 있어, 궁극적으로 반도체 메모리소자의 수율 및 생산성을 향상시킬 수 있는 탁월한 효과를 기대할 수 있다.

【특허청구범위】

【청구항 1】

기판 상에 배치된 복수의 플러그;

상기 복수의 플러그 상에 형성된 제1절연막;

상기 제1절연막을 관통하여 상기 복수의 플러그 중 제1플러그에 전기적으로 연결된 제1 전도막;

상기 제1절연막을 관통하여 상기 복수의 플러그 중 상기 제1플러그에 인접한 제2플러그 상에 형성되며, 상기 제1절연막 및 상기 제1전도막과 실질적으로 평탄화된 제1캐패시터;

상기 제1캐패시터 및 상기 제1전도막 상에 형성된 제2절연막;

상기 제2절연막을 관통하여 상기 제1전도막 상에 상기 제1전도막과 전기적으로 연결되도록 형성된 제2캐패시터; 및

상기 제2절연막을 관통하여 상기 제1캐패시터에 전기적으로 연결되며, 상기 제2캐패시터 및 상기 제2절연막과 실질적으로 평탄화된 제2전도막

을 포함하는 반도체 메모리소자.

【청구항 2】

제 1 항에 있어서,

상기 제1캐패시터의 폭은 상기 제1전도막의 폭에 비해 상대적으로 크고, 상기 제2캐패시터의 폭은 상기 제2전도막의 폭에 비해 상대적으로 큰 것을 특징으로 하는 반도체 메모리소자.

【청구항 3】

제 1 항에 있어서,

상기 제1캐패시터는,

상기 제1플러그 상에 형성된 제1전극과, 상기 제1전극 상에 형성된 제1유전체막 및 상기 제1유전체막 상에 형성된 제2전극을 포함하며,

상기 제1전도막은 상기 제1전극과 동일막으로 이루어진 것을 특징으로 하는 반도체 메모리소자.

【청구항 4】

제 1 항에 있어서,

상기 제2캐패시터는,

상기 제1전도막 상에 형성된 제3전극과, 상기 제3전극 상에 형성된 제2유전체막 및 상기 제2유전체막 상에 형성된 제4전극을 포함하며,

상기 제2전도막은 상기 제3전극과 동일막으로 이루어진 것을 특징으로 하는 반도체 메모리소자.

【청구항 5】

제 1 항에 있어서,

상기 제1캐패시터 및 상기 제2캐패시터는, 그 평면 형상이 원형 또는 다각형 형상인 것을 특징으로 하는 반도체 메모리소자.

【청구항 6】

제 1 항 또는 제 5 항에 있어서,

상기 제1전도막 및 상기 제2전도막은, 그 평면 형상이 원형 또는 다각형 형상인 것을 특징으로 하는 반도체 메모리소자.

【청구항 7】

기판 상에 복수의 플러그를 형성하는 단계;

상기 복수의 플러그 상에 제1절연막을 형성하는 단계;

상기 제1절연막을 관통하여 상기 복수의 플러그 중 제1플러그에 전기적으로 연결된 제1전도막과, 상기 제1절연막을 관통하여 상기 복수의 플러그 중 상기 제1플러그에 인접한 제2플러그 상에 형성되며, 상기 제1절연막 및 상기 제1전도막과 실질적으로 평탄화된 제1캐패시터를 형성하는 단계;

상기 제1캐패시터 및 상기 제1전도막 상에 제2절연막을 형성하는 단계; 및

상기 제2절연막을 관통하여 상기 제1전도막 상에 상기 제1전도막과 전기적으로 연결되도록 제2캐패시터를 형성하며, 상기 제2절연막을 관통하여 상기 제1캐패시터에 전기적으로 연결되며 상기 제1캐패시터 및 상기 제2절연막과 실질적으로 평탄화된 제2전도막을 형성하는 단계

를 포함하는 반도체 메모리소자 제조 방법.

【청구항 8】

제 7 항에 있어서,

상기 제1캐패시터의 폭은 상기 제1전도막의 폭에 비해 상대적으로 크고, 상기 제2캐패시터의 폭은 상기 제2전도막의 폭에 비해 상대적으로 큰 것을 특징으로 하는 반도체 메모리소자 제조방법.

【청구항 9】

제 7 항에 있어서,

상기 제1전도막과 상기 제1캐패시터를 형성하는 단계는,

상기 제1전도막이 형성될 영역의 제1오픈부의 폭에 비해 상기 제1캐패시터가 형성될 상기 제1오픈부의 폭이 크도록 상기 제1절연막을 선택적으로 식각하여 상기 제1플러그 및 제2플러그를 각각 노출시키는 복수의 제1오픈부를 형성하는 단계;

상기 제1전도막이 형성될 영역의 상기 제1오픈부를 충분히 매립하면서 상기 제1캐패시터가 형성될 상기 제1오픈부의 프로파일을 따라 상기 제1캐패시터의 제1전극 및 상기 제1전도막용 제1물질막을 증착하는 단계;

상기 제1물질막 상에 제1유전체막을 증착하는 단계;

상기 제1유전체막 상에 상기 제1캐패시터의 제2전극용 제2물질막을 증착하는 단계; 및

상기 제1절연막이 노출되도록 상기 제2물질막과 상기 제1유전체막 및 상기 제1물질막을 제거하여 평탄화시키는 단계

를 포함하는 것을 특징으로 하는 반도체 메모리소자 제조 방법.

【청구항 10】

제 7 항에 있어서,

상기 제2전도막과 상기 제2캐패시터를 형성하는 단계는,

상기 제2전도막이 형성될 영역의 제2오픈부의 폭에 비해 상기 제2캐패시터가 형성될 상기 제2오픈부의 폭이 크도록 상기 제2절연막을 선택적으로 식각하여 상기 제1전도막 및 제1캐패시터를 각각 노출시키는 복수의 제2오픈부를 형성하는 단계;

상기 제2전도막이 형성될 영역의 상기 제2오픈부를 충분히 매립하면서 상기 제2캐패시터가 형성될 상기 제2오픈부의 프로파일을 따라 상기 제2캐패시터의 제3전극 및 상기 제2전도막용 제3물질막을 증착하는 단계;

상기 제3물질막 상에 제2유전체막을 증착하는 단계;

상기 제2유전체막 상에 상기 제2캐패시터의 제4전극용 제4물질막을 증착하는 단계; 및

상기 제2절연막이 노출되도록 상기 제4물질막과 상기 제2유전체막 및 상기 제3물질막을 제거하여 평탄화시키는 단계

를 포함하는 것을 특징으로 하는 반도체 메모리소자 제조 방법.

【청구항 11】

제 9 항 또는 제 10 항에 있어서,

상기 제1오픈부를 형성하기 위한 제1마스크 패턴과 상기 제2오픈부를 형성하기 위한 제2 마스크 패턴은 서로 역상인 것을 특징으로 하는 반도체 메모리소자 제조 방법.

【청구항 12】

제 9 항 또는 제 10 항에 있어서,

상기 평탄화시키는 단계에서, 에치백 공정 또는 화학기계적연마 공정을 실시하는 것을 특징으로 하는 반도체 메모리소자 제조 방법.

【청구항 13】

제 7 항에 있어서,

상기 제1캐패시터 및 상기 제2캐패시터는, 그 평면 형상이 원형 또는 다각형 형상인 것을 특징으로 하는 반도체 메모리소자 제조 방법.

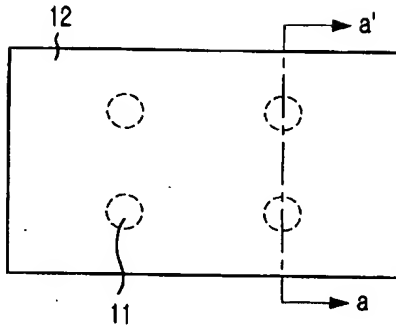
【청구항 14】

제 7 항 또는 제 13 항에 있어서,

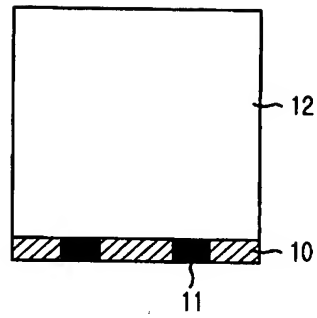
상기 제1전도막 및 상기 제2전도막은, 그 평면 형상이 원형 또는 다각형 형상인 것을 특징으로 하는 반도체 메모리소자 제조 방법.

【도면】

【도 1a】

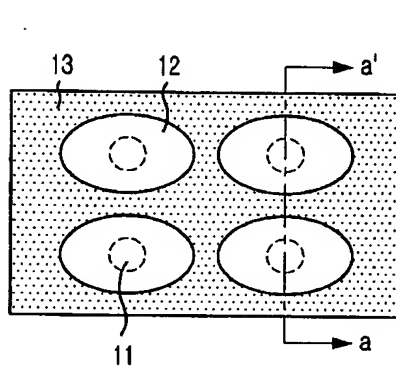


(a)

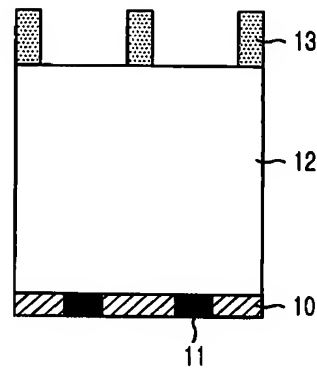


(b)

【도 1b】

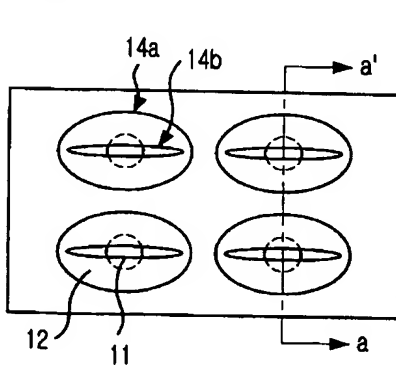


(a)

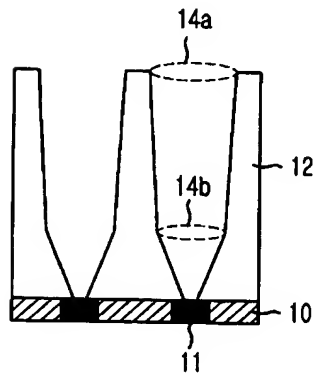


(b)

【도 1c】

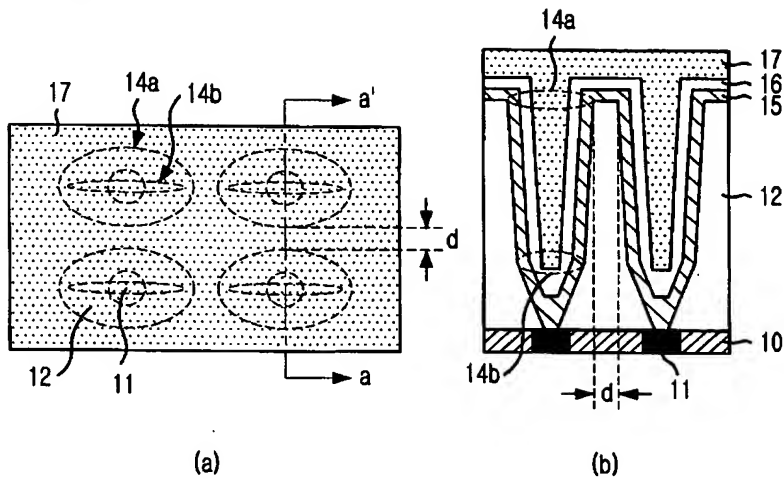


(a)

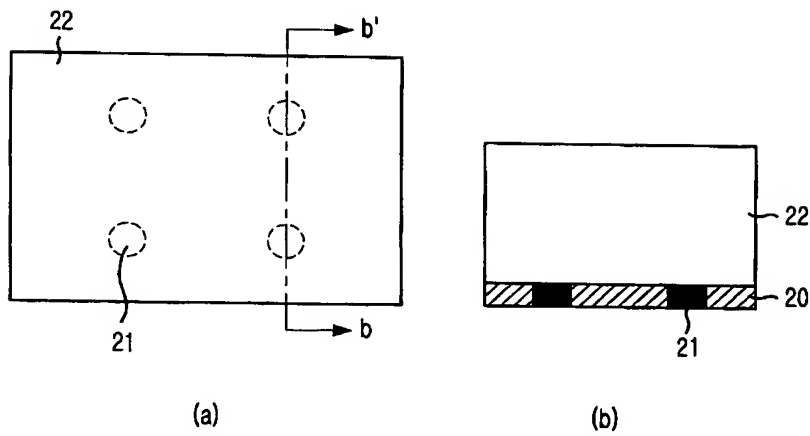


(b)

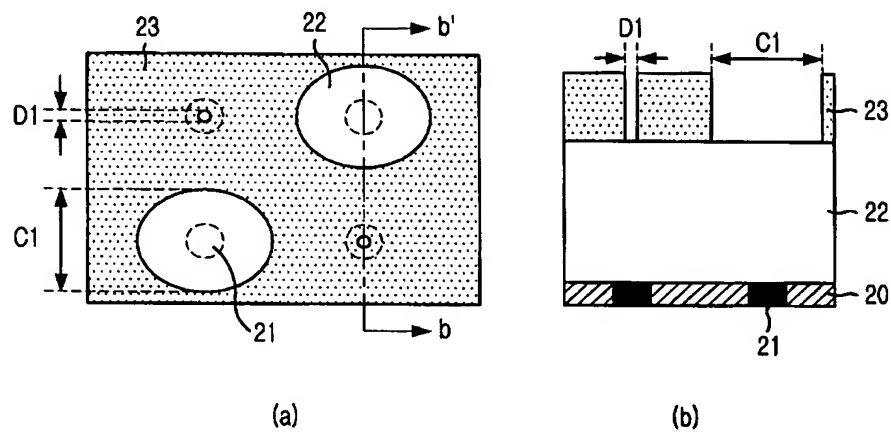
【도 1d】



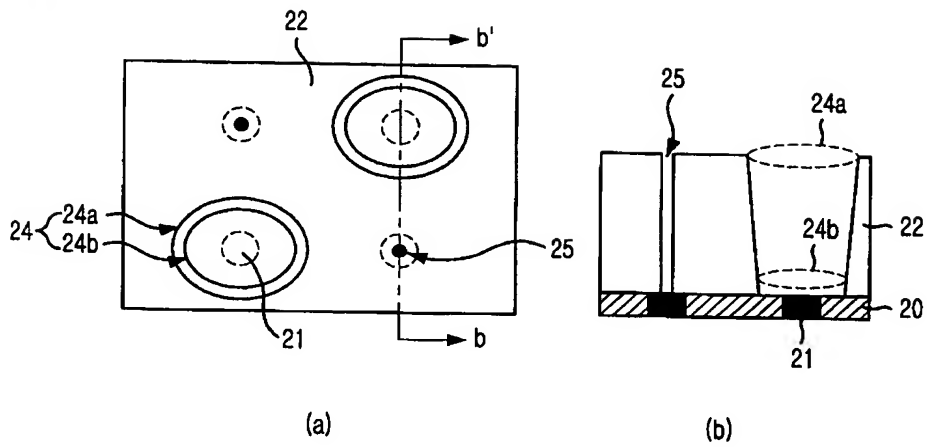
【도 2a】



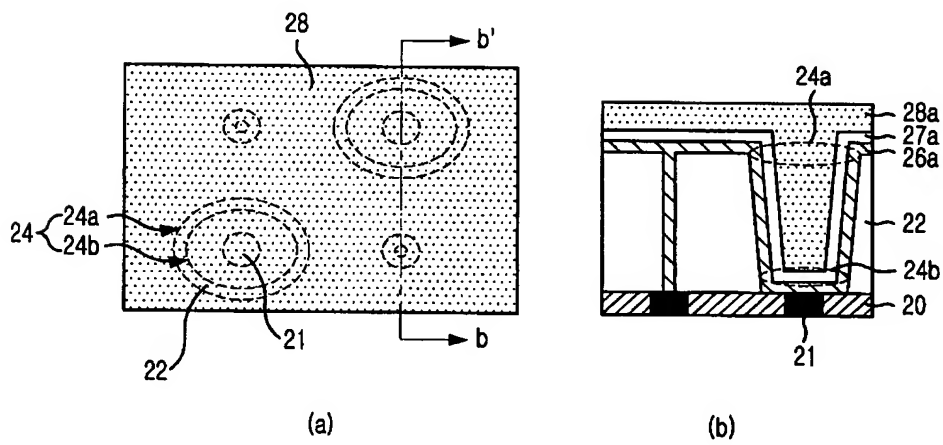
【도 2b】



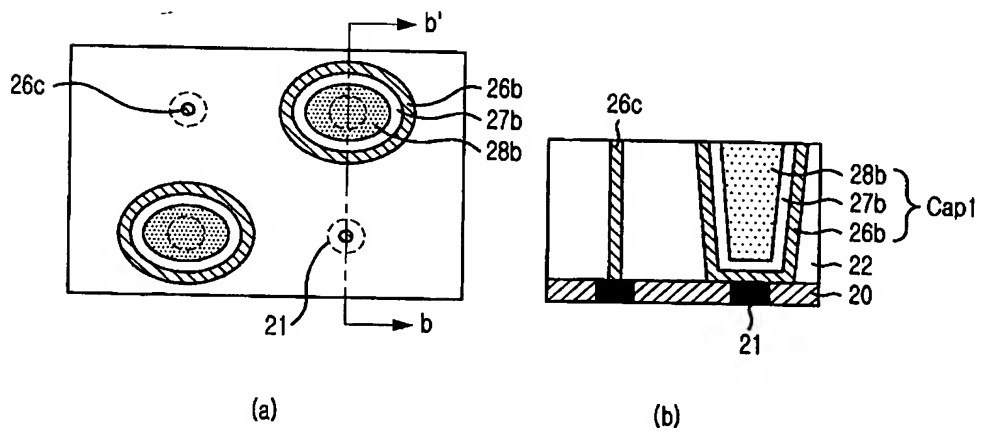
【도 2c】



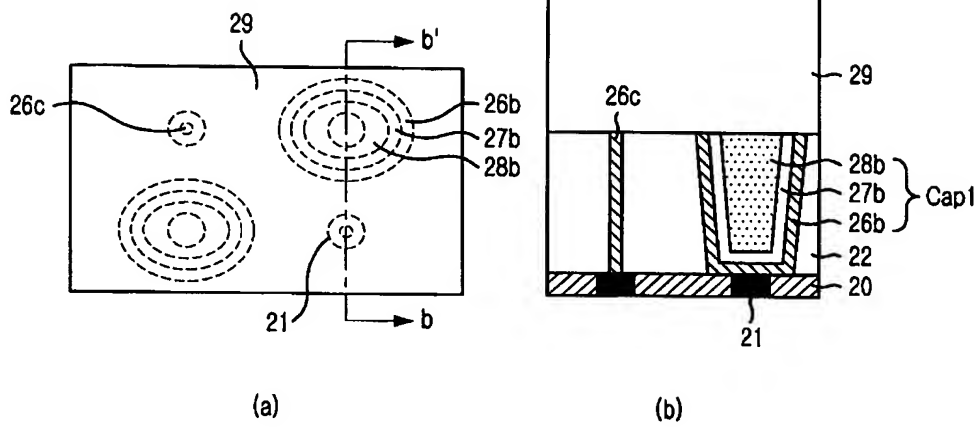
【도 2d】



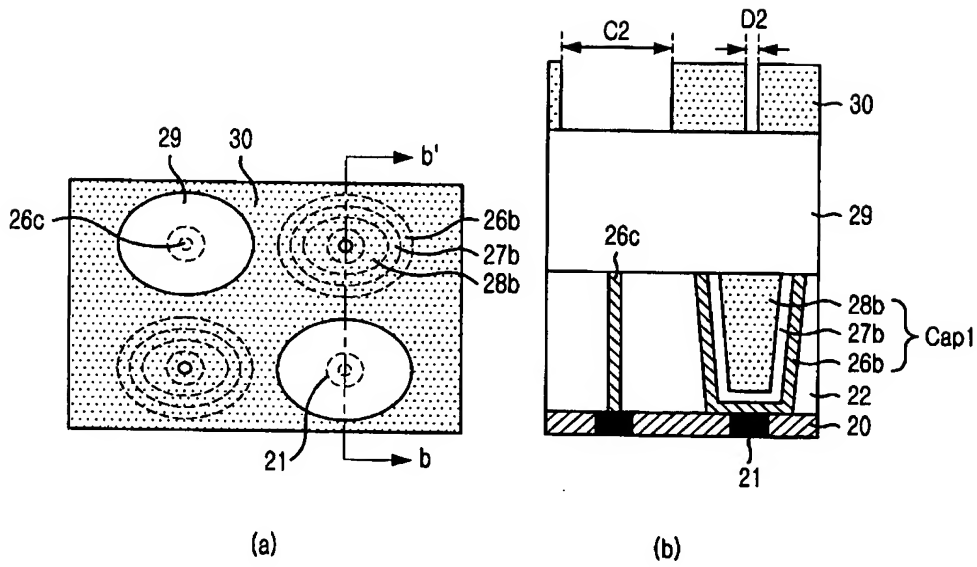
【도 2e】



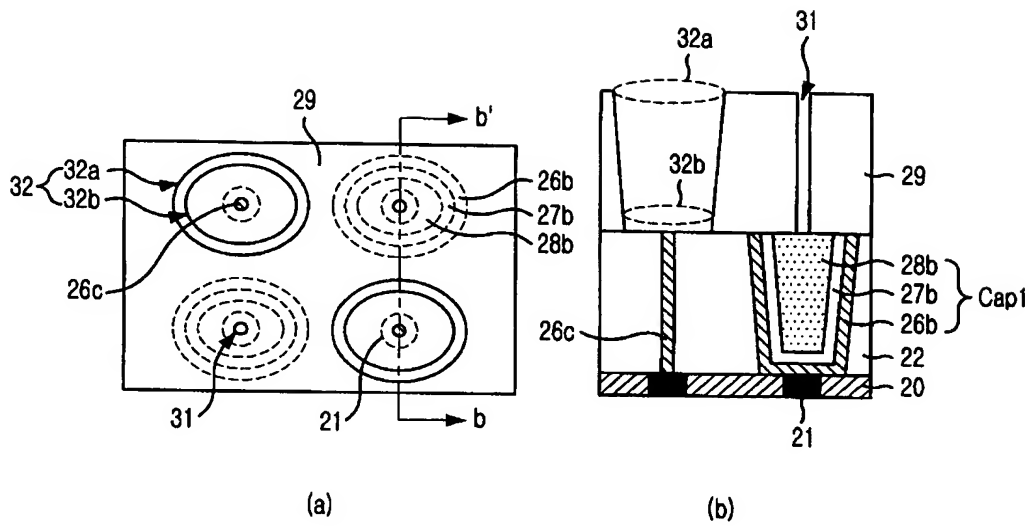
【도 2f】



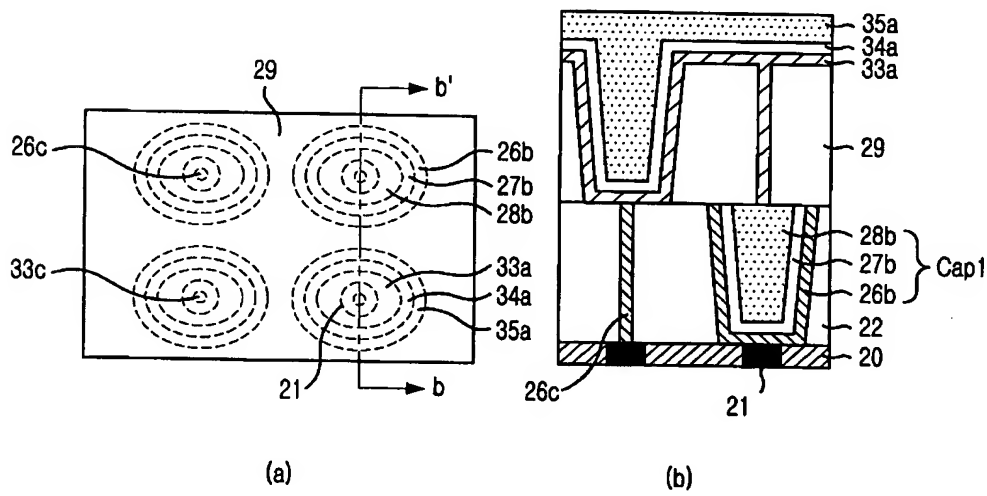
【도 2g】



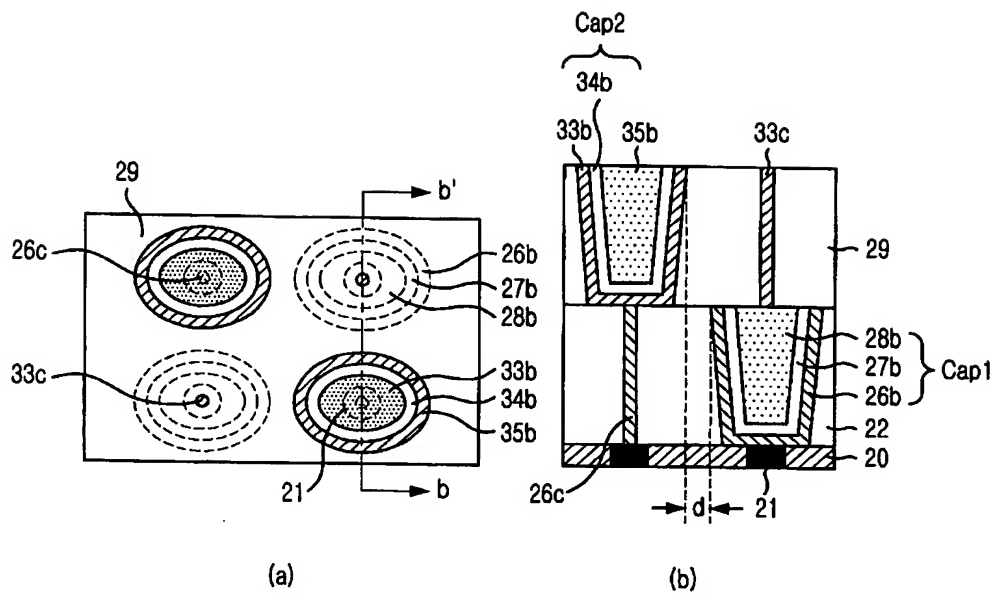
【도 2h】



【도 2i】



【도 3】



【도 4】

